

OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

N.º de publicación: ES 2 029 833

Int. Cl.⁵: G09G 1/16

G06F 13/28

12

TRADUCCION DE PATENTE EUROPEA

T3

Número de solicitud europea: **87303096.9**

Fecha de presentación : **09.04.87**

Número de publicación de la solicitud: **0 241 288**

Fecha de publicación de la solicitud: **14.10.87**

Título: **Sistema de visualización de video con microprocesador.**

Prioridad: **10.04.86 GB 8608776**

Titular/es: **Amstrad Public Limited Company
Brentwood House, 169 Kings Road
Brentwood, Essex CM 14 4EF, GB**

Fecha de la publicación de la mención BOPI:
01.10.92

Inventor/es: **Mathieson, John Flare**

Fecha de la publicación del folleto de patente:
01.10.92

Agente: **Curell Suñol, Marcelino**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (artº 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCION

Esta invención se refiere a un sistema de visualización de video con microprocesador del tipo en el cual una UCP (unidad central de proceso) de microprocesador y lógica de control de video destinadas a producir la señal de imagen de video que se ha de visualizar comparten una memoria de video común.

Puede utilizarse un microprocesador Z80 en una tal disposición, siendo la memoria de video accesible directamente tanto por la UCP de microprocesador y la lógica de control de video (LCV). En esta situación, es necesario proporcionar un esquema de arbitraje para hacer frente a la situación en la cual tanto la UCP como la LCV intentan acceder simultáneamente a la memoria. Esta situación se denomina "contención".

La solución standard al problema de proporcionar una porción de memoria accesible tanto por la UCP como por la LCV, un ejemplo de la cual se describe en Electronics Volume 52, n° 14, pp 136-139, es de impedir el acceso por la UCP a la memoria video durante las operaciones de lectura de datos video por parte de la LCV. Ello se hace normalmente con una señal denominada ESPERA, que obliga a la UCP a suspender los ciclos de acceso a la memoria y pasar a un estado inactivo y así se impide la contención. No obstante, esta manera de proceder reduce el rendimiento de la UCP porque entonces ha de pasar parte de su tiempo inactiva, con el resultado de que los programas que se realizan con ella se desarrolla con mayor lentitud.

El presente inventor ha apreciado, no obstante, que esta inactividad puede evitarse en condiciones normales. Se define la invención en las reivindicaciones anexas a las cuales cabe hacer referencia ahora.

En un sistema de microordenador tal como, por ejemplo, uno basado en el microprocesador Z80 y con una visualización video ordenada según elementos de imagen, es necesario que la lógica de control video lea datos con regularidad de la memoria video para convertirlos en señales para excitar el dispositivo de visualización, que puede ser, por ejemplo un aparato de televisión. No es posible que la LCV retrase las operaciones de lectura de datos, o se verían lagunas en la imagen visualizada. Por lo tanto, el sistema de visualización está organizado de modo que el tiempo necesario para la operación dada de lectura de datos video, o sea, el tiempo que se tarda en visualizar los datos en el dispositivo de visualización video, corresponda al tiempo que se tarda en leer dos veces dicha cantidad de datos de la memoria video. El inventor ha apreciado por lo tanto que puede considerarse que un ciclo dado de lectura de datos video tiene un intervalo de dos tiempos de ciclo de memoria de video durante el cual puede tener lugar el ciclo de lectura de datos video.

El inventor ha apreciado también que puede darse por supuesto que la UCP no realizará dos ciclos consecutivos de acceso a la memoria, siempre que el régimen de acceso a la memoria video y el régimen de reloj de la UCP sean substancialmente iguales. Este supuesto es válido porque el Z80 realiza dos tipos básicos de ciclo de memo-

ria, el ciclo de búsqueda del código de operación y el ciclo de lectura o escritura de datos. El ciclo de búsqueda del código de operación tiene una duración de cuatro períodos de reloj, y el ciclo de lectura o escritura en memoria tiene una duración de tres períodos de reloj. Por lo tanto, el intervalo más corto posible se halla entre dos ciclos consecutivos de lectura o escritura de memoria, que estarán separados en tres tiempos de ciclo.

Así, de acuerdo con esta invención, en un tal sistema el mecanismo de contención opera sobre la base de que durante el primero de dos ciclos de memoria video disponibles para la LCV para cada elemento de imagen, se producirá el ciclo de datos video listos, salvo que la UCP desee realizar un ciclo de memoria video, en cuyo caso se retrasa el ciclo de datos video listos hasta el segundo de los tiempos de ciclo de su intervalo. Si se ha producido un ciclo de lectura de memoria video en el primero de estos dos ciclos, entonces un ciclo de la UCP puede tener lugar libremente en el segundo. Por lo tanto, tanto el mecanismo de visualización de video como la UCP tienen lo que es efectivamente un acceso no retardado a la memoria video.

Ahora se describirá un ejemplo de la invención con mayor detalle a título de ejemplo con referencia a los dibujos anexos en los cuales:

la Figura 1 es un diagrama de bloques de la parte pertinente de un sistema conocido de visualización de video con microprocesador, y

la Figura 2 es un diagrama de bloques de la parte correspondiente de un sistema de visualización de video con microprocesador que realiza la invención.

Ambas figuras ilustran una memoria video 10 ordenada según elementos de imagen accesible tanto por una UCP Z80 12 como por lógica de control de video (LCV) 14 que suministra datos en una salida 16 a un dispositivo de visualización de video (no ilustrado) que incorpora una pantalla de tubo de rayos catódicos.

En la disposición conocida de la Figura 1, cuando la LCV 14 pide un elemento de datos de la memoria 10, envía también un comando de ESPERA 18 a la UCP, si la UCP también está intentando direccionar la memoria video, para hacer que la UCP quede inactiva durante un ciclo de acceso de memoria video a fin de evitar todo peligro de contención. Es lo bastante lógico porque se le ha de suministrar al dispositivo de visualización un suministro ininterrumpido de datos o, al contrario, la visualización adolecerá de lagunas.

De acuerdo con esta invención la LCV no envía un comando de ESPERA a la UCP sino, tal como se ilustra en la Figura 2, la LCV formula una pregunta MREQ a la UCP en el sentido de si la UCP está intentando direccionar la memoria video, y si lo está la LCV retrasa su operación de lectura de memoria video en un período de ciclo de memoria video. Ello es contrario a la práctica aceptada porque introduce un retraso en los datos video para la visualización.

No obstante, siendo así que los datos video pueden, de hecho, ser leídos de la memoria video dos veces más de prisa que se necesita para alimentar la visualización, el presente inventor ha apreciado que un retardo de tan sólo un

período de ciclo de memoria video puede tolerarse. Además, dado que el régimen de acceso a la memoria video es igual al régimen de reloj de la UCP y cada ciclo de la UCP tarda al menos dos períodos de reloj UCP, sólo uno de los cuales involucrará jamás un acceso de memoria video, la UCP jamás pedirá acceso a la memoria video en dos períodos de reloj de UCP consecutivos.

El retraso de un ciclo de lectura de memoria video por parte de la LCV así no surgirá jamás en dos ciclos de acceso de memoria video sucesivos y la LCV podrá así mantener siempre la entrega de los datos video al régimen necesario al dispositivo de visualización.

En resumen, por lo tanto, el mecanismo descrito e ilustrado se usa en una aplicación de microordenador para permitir que la memoria que

5
10
15
20
25
30
35
40
45
50
55
60
65

contiene los datos de visualización video sea leída tanto por el microprocesador como por el equipo de visualización video. Lo hace de manera que no causa reducción del rendimiento del microprocesador, interfoliando los ciclos de lectura video entre los ciclos de memoria del microprocesador de manera que puede desplazarse un ciclo de lectura de video para permitir que el microprocesador tenga acceso inmediato a la memoria. El mecanismo standard para realizarlo retrasaría el ciclo del microprocesador y así reduciría el rendimiento de éste.

En el sistema de la presente invención, la UCP de microprocesador puede tener el rendimiento máximo posible ya que no se ve degradado por la lógica de control de video.

REIVINDICACIONES

1. Sistema de visualización de video con microprocesador que comprende una memoria video (10), una unidad central de proceso (12) capaz de acceder a la memoria video durante un período de reloj durante ciclos de operación que duran cada uno dos o más períodos de reloj de UCP, lógica de control de video (14) para acceder a la memoria video durante ciclos de lectura de memoria video escogidos a fin de proporcionar datos a un dispositivo de visualización video, siendo capaz la lógica de control de video de acceder a la memoria video a un régimen dos veces más rápido que el régimen con el cual se ha de enviar los datos al dispositivo de visualización de video, **caracterizado** porque el régimen de ciclo de lectura de memoria video es substancialmente igual al régimen de reloj de la UCP, y porque cuando tanto la UCP como el dispositivo de visualización video desean acceder a la memoria video, se retrasa la operación de la lógica de control de video en un período de acceso de memoria video.

2. Sistema de visualización de video con microprocesador según la reivindicación 1, **caracterizado** porque la UCP la constituye un micro-

procesador Z80.

3. Sistema de visualización de video con microprocesador según la reivindicación 1 ó 2, **caracterizado** porque la memoria video es una memoria video ordenada según elementos de imagen.

4. Método de operar un sistema de visualización de video con microprocesador que incluye una UCP, una memoria video, lógica de control de video y un dispositivo de visualización de video, comprendiendo el método las etapas de acceder a la memoria video por parte de la UCP durante un período de reloj durante el ciclo de operación que dura dos o más períodos de reloj de UCP, leer datos de la memoria video con la lógica de control de video con un régimen de ciclo de lectura dos veces más rápido que el régimen con el cual se han de suministrar los datos a dispositivo de visualización de video, suministrar datos al dispositivo de visualización de video al régimen necesario, **caracterizado** porque el régimen de ciclo de lectura es substancialmente igual al régimen de reloj de UCP y porque se retrasa la operación de la lógica de control de video en un período de acceso de memoria video cuando la UCP accede a la memoria video.

30

35

40

45

50

55

60

65

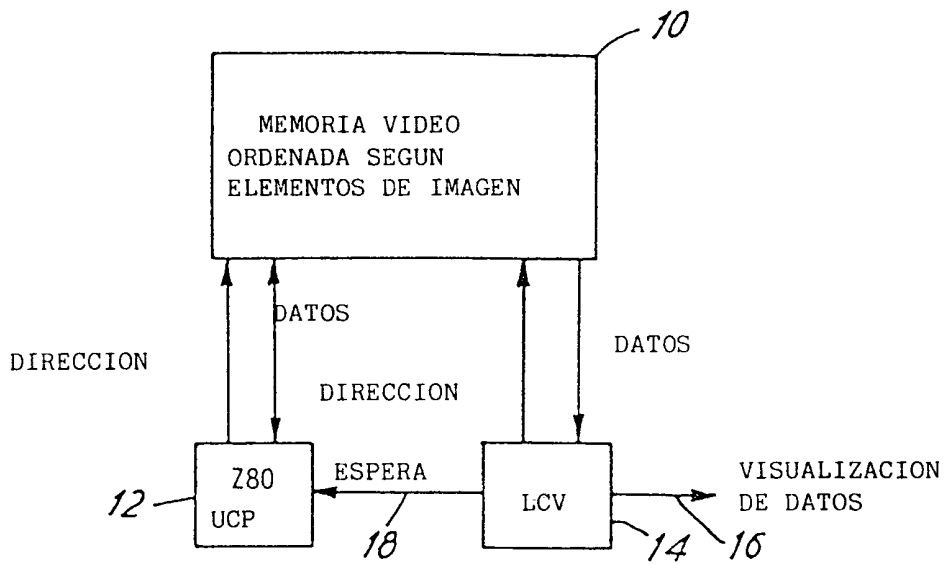


FIG. 1

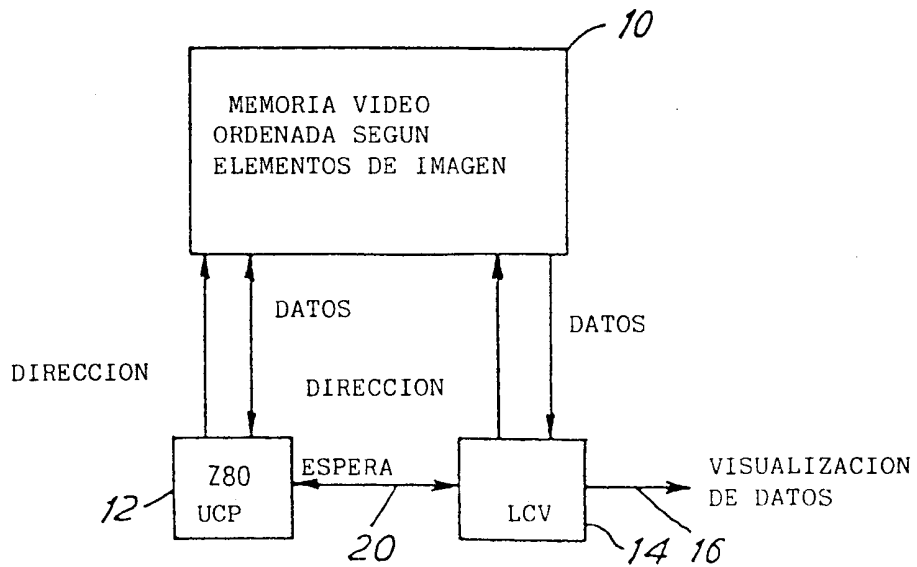


FIG. 2