

# MEGAHERTZ

M A G A Z I N E

ISSN - 0755 - 4419

**Le service QSL en question**

**Nouvelle loi sur le piratage**



**Réalisez une interface RS232**

M 2135 - 55 - 19,00 F



3792135019008 00550

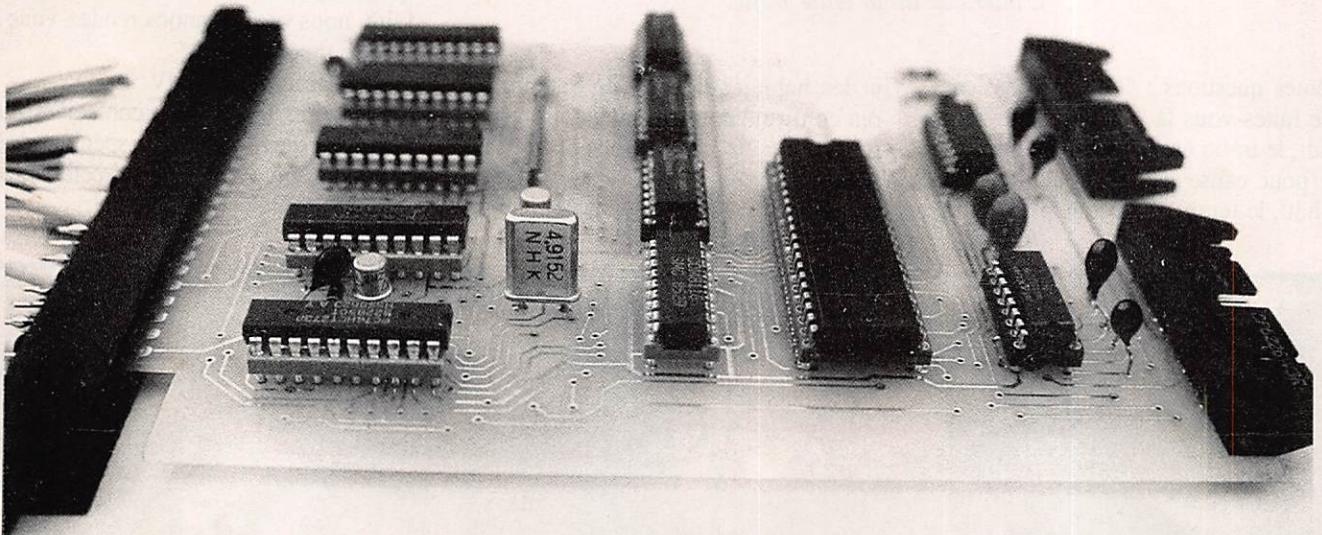
# SOMMAIRE

<b>5</b> Editorial	<b>6</b> Entre nous Sondage	<b>8</b> Un mois de communication	<b>12</b> Shopping
<b>14</b> Courrier des lecteurs	<b>16</b> Loi sur le piratage	<b>18</b> Actualité	<b>22</b> Fédération nationale de radioamateurs
<b>24</b> Le trafic	<b>27</b> Radiodiffusion	<b>31</b> Le service QSL en question	<b>38</b> Expédition au Puy de Sancy
<b>40</b> Réalisez une interface RS232	<b>49</b> DX-TV la station du mois	<b>52</b> Téléviseur : le bon choix	<b>55</b> Kit JR 17
<b>58</b> Coller ses GaAs Fet ?	<b>60</b> Ephémérides des satellites	<b>62</b> Propagation	<b>64</b> Petites annonces

# INTERFACE SERIE RS232

Pour AMSTRAD CPC

Philippe LEBEL



L'article qui suit décrit la réalisation, le fonctionnement et la programmation d'une interface série répondant aux normes V24 ou RS232 et connectable sur le bus d'extension des 464-664-6128. Les principales caractéristiques techniques de cette carte sont :

- deux canaux (sorties) au standard RS232 dont une pour piloter éventuellement une imprimante
- vitesse de transfert réglable par logiciel
- alimentation monotension de la carte par le bus de l'ordinateur
- "bufferisation" de tous les signaux utiles
- décodage adresses E/S complet sur 16 bits.

## LA LIAISON SERIE

Pour transmettre des données à des distances importantes, on adopte le mode de liaison sérielle. Dans ce cas, les différents bits constituant un octet sont transmis les uns à la suite des autres.

Pour normaliser ce mode de transmission, un standard a été implanté : la RS232 également appelé V24.

La figure 1 schématise un signal sériel. Le mot commence par un bit de départ, se poursuit par huit bits de données au

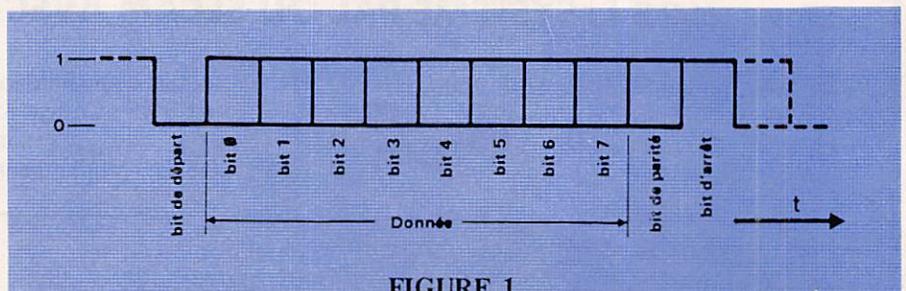


FIGURE 1

maximum, puis le bit de parité (optionnel) pour la détection des erreurs en cours de transmission et enfin, le ou les bits d'arrêt indiquant la fin du caractère. Il est indispensable de bien définir la chronologie des bits contenus dans l'information. Cette liaison RS232 interconnecte un appareil de type DTE (Data Terminal Equipment = terminal) à un autre de type DCE (Data Communication Equipment = un ordinateur). La communication entre les deux systèmes se fait selon un protocole réglant la manière de traiter le flux de données et garantissant ainsi une transmission synchronisée. Cette norme exige donc la présence de signaux de contrôle et de commande (DTR-DCD-CTS-RTS).

## PRINCIPE DE FONCTIONNEMENT

La figure 2 représente le schéma de principe de la carte. Les circuits IC1 à IC4 sont des amplificateurs de signaux "buffers" qui augmentent la sortance du microprocesseur. Ils ont tous été choisis de type bidirectionnel pour des raisons de simplification en vue de l'étude du circuit imprimé ; seul IC4 use pleinement de cette propriété par l'intermédiaire du signal d'écriture "WR". Lorsque WR est au niveau bas, le bus de données transite de l'unité centrale vers l'interface et inversement quand WR est haut. La sélection de ce circuit est active pour une adresse d'entrée-sortie égale ou supérieure à FC40, c'est-à-dire pour Y3 de IC6 au niveau bas.

Les circuits IC5 à IC7 assurent le rôle de décodage mémoire. Ils doivent activer les circuits IC8 et IC10 pour des adresses précises. Ainsi IC8 sera sélectionné pour les adresses entrée-sortie (E/S) comprises entre FC5C et FC5F, ce qui se traduit par un niveau bas sur la broche 9 de IC7. T1 inverse ce signal puisque l'entrée "CLK" de IC8 est active haut. Le circuit IC10 quant à lui sera actif pour les adresses validées entre FC7C et FC7F, broche 7 de IC7.

Rappel : grâce à des signaux de commande spécifiques, le Z80 peut différencier un accès mémoire d'une adresse d'E/S. Toutes les opérations ayant pour référence la mémoire seront validées par le signal MREQ du microprocesseur, alors qu'une adresse d'E/S sera accompagnée de IORQ. Cette différenciation

RD/TD	RC/TC	RB/TB	RA/TA	FT/FR (Hz)
0	0	0	0	800
0	0	0	1	1200
0	0	1	0	1760
0	0	1	1	2152
0	1	0	0	2400
0	1	0	1	4800
0	1	1	0	9600
0	1	1	1	19200
1	0	0	0	28800
1	0	0	1	32000
1	0	1	0	38400
1	0	1	1	57600
1	1	0	0	76800
1	1	0	1	115200
1	1	1	0	153600
1	1	1	1	307200

TABLEAU A

se retrouve au niveau des instructions. IORQ sera actif (niveau bas) pour des instructions du type "OUT" et "IN", il fait partie intégrale du décodage d'adresse (broche 5 de IC7).

IC8 est un registre, son rôle étant de recopier sur ses sorties (Q1 à Q8) les niveaux logiques présents sur les entrées (D0 à D7) à chaque front montant du signal CLK (broche 11). Grâce à ce composant, le réglage des vitesses de transfert appliquées au circuit SIO sera effectué par programme. Ce circuit remplace une série d'interrupteurs que l'utilisateur devrait positionner à chaque modification des vitesses. L'ensemble R1-C2-T2 permet la remise à zéro du registre à l'initialisation de l'unité centrale "RESET" (broche 16 de IC3). IC9 est un double générateur de signaux d'horloge à fréquence variable. Ils sont présents sur les sorties FR et FT, chacun d'eux détermine la fréquence élémentaire du fonctionnement des voies A et B. Le tableau A indique les fréquences disponibles en fonction de l'état des entrées R et T.

Circuit périphérique de la famille Z80, IC10 est spécialisé dans les transmissions séries "USART" (Unit Synchronous Asynchronous Receive Transmit). Deux voies distinctes et indépendantes

sont disponibles, permettant ainsi la connexion de deux appareils répondant aux normes de la RS232 et fonctionnant éventuellement à des vitesses différentes.

La complexité de ce circuit demanderait un cours complet de plusieurs pages avant d'être en mesure d'en comprendre son fonctionnement. Les quelques lignes qui suivent permettront néanmoins d'en connaître le minimum pour sa programmation.

Chaque canal est adressé par l'intermédiaire de l'entrée B/A :

-B/A=0 → canal A

-B/A=1 → canal B

Le niveau logique du signal C/D détermine si l'octet présent sur le bus de données doit être interprété comme un mot de commande ou de donnée (valeur).

-C/D=0 → donnée

-C/D=1 → commande

Ainsi, les adresses pour le canal A sont :

- FC7C pour un mot de donnée

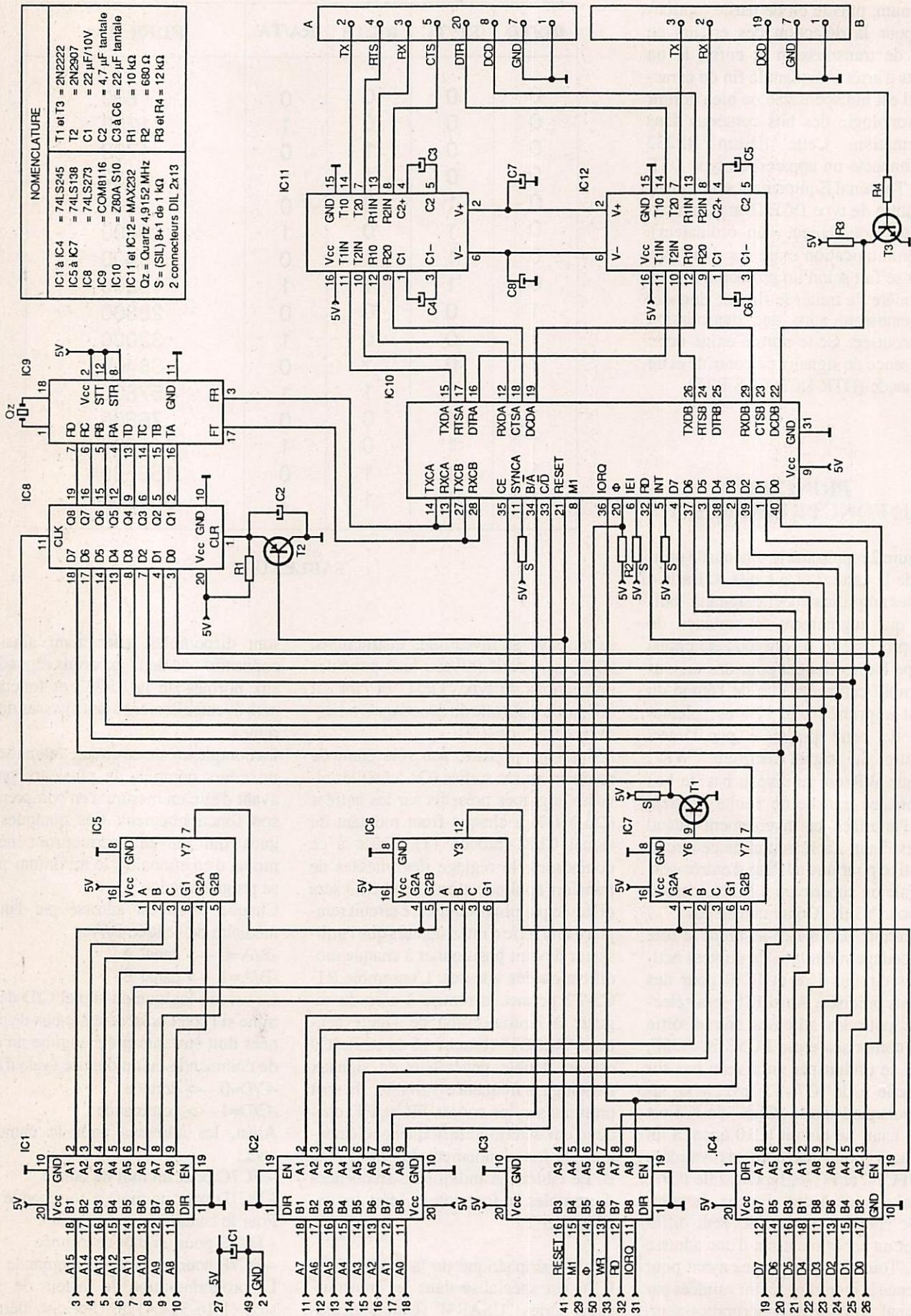
- FC7D pour un mot de commande

Pour le canal B :

- FC7E pour un mot de donnée

- FC7F pour un mot de commande

La programmation du facteur de division (1-16-32-64) de l'horloge élémentaire présente sur les entrées TXCA-RXCA pour le canal A et TXCB-



NOMENCLATURE	
IC1 à IC4	= 74LS245
IC5 à IC7	= 74LS138
IC8	= 74LS273
IC9	= COM8116
IC10	= 280A S10
IC11 et IC12	= MAX232
Qz	= Quartz 4,9152 MHz
S	= (SIL) 8-1 de 1 kΩ
2 connecteurs DIL 2x13	

FIGURE 2 Schéma de principe de l'Interface RS232



nécessaires. En effet, ce circuit intègre deux pompes de charges afin de créer des tensions de sortie compatibles aux normes spécifiées.

C3-C4-C5-C6 contribuent au décalage de niveaux ; C7 et C8 filtrent la fréquence parasite (16 KHz) présente sur la broche "V-". T3 convertit en niveaux TTL, l'état du signal d'entrée DCD.

Au connecteur A (câblage de type DTE) sont reliés tous les signaux utiles au dialogue propre à une RS232. Le connecteur B (câblage de type DCE) est limité à sa plus simple expression, permettant cependant la connexion d'un appareil dialoguant uniquement par les trois signaux : Tx-Rx-DCD ; (imprimante, terminal, télétype...).

Le cordon reliant l'interface à l'Amstrad sera de type câble plat au bout duquel, à chaque extrémité, sera serti un connecteur encartable 2x25 points.

## DESCRIPTION DES REGISTRES INTERNES DU SIO Z80

### LES REGISTRES D'ECRITURE

Le circuit SIO contient huit registres d'écriture (WRO-WR7) pour le canal B et sept pour le canal A (WRO-WR1 et WR3-WR7). Le registre WR2 comporte le vecteur d'interruption pour les canaux A et B.

les registres sont programmés séparément pour positionner chaque canal dans sa configuration spécifique.

A l'exception de WRO, la programmation des registres d'écriture nécessite deux octets. Les trois bits du premier octet de WRO (D0-D2) pointent le registre choisi, le second octet est le mot de commande effectif écrit dans le registre pour configurer le SIO.

Après pointage d'un registre, le programme est libre soit de le lire pour tester le registre de lecture, soit d'écrire pour initialiser le registre d'écriture. (voir tableau B).

### LES REGISTRES DE LECTURE

Le SIO contient trois registres de lecture (RRO-RR2) qui peuvent être lus

- REGISTRE DE LECTURE 0 (RRO).	
	:D7:D6:D5:D4:D3:D2:D1:D0:
BREAK/ABORT _____	: : : : : : : :
TX SURCHARGE _____	: : : : : : : :
CTS _____	: : : : : : : :
SYNC/HUNT _____	: : : : : : : :
	_____ CARACTERE Rx DISPONIBLE
	_____ INT. IMMINENTE
	_____ TAMPON Tx VIDE
	_____ DCD
- REGISTRE DE LECTURE (RR1).	
	:D7:D6:D5:D4:D3:D2:D1:D0:
FIN DE CADRE (SDLC) _____	: : : : : : : :
ERREUR CRC/CADRAGE _____	: : : : : : : :
ERREUR SURCHARGE Rx _____	: : : : : : : :
ERREUR DE PARITE _____	: : : : : : : :
	_____ TOUT ENVOYE
	_____ CODE 0 RESIDUEL (SDLC)
	_____ CODE 1 RESIDUEL
	_____ CODE 2 RESIDUEL
- REGISTRE DE LECTURE (RR2).	
	:D7:D6:D5:D4:D3:D2:D1:D0:
V7 _____	: : : : : : : :
V6 _____	: : : : : : : :
V5 _____	: : : : : : : :
V4 _____	: : : : : : : :
	_____ V0
	_____ V1
	_____ V2
	_____ V3
(RR2 CONTIENT LE VECTEUR D'INTERRUPTION ECRIT DANS WR2 CANAL B SEULEMENT)	
NOTES: Rx = RECEPTEUR Tx = EMETTEUR INT = INTERRUPTION	

TABLEAU C

### Exemple d'initialisation du canal A : (scrutation des E/S par polling)

```
LD BC, OFC5CH ; adresse du Latch 74LS273
LD A, OEEH ; FT et FR du COM8116T = 153600 Hz
OUT (C), A

LD BC, OFC7DH ; adresse de contrôle du canal A
LD A, 18H ; WR0 = remise à zéro des registres
OUT (C), A

LD A, 4 ; on pointe sur le registre WR4
OUT (C), A
LD A, 47H ; cadence horloge + bits stop + parité
OUT (C), A

LD A, 3 ; on pointe sur le registre WR3
OUT (C), A
LD A, 41H ; nombre de bits récepteur + validation réception
OUT (C), A

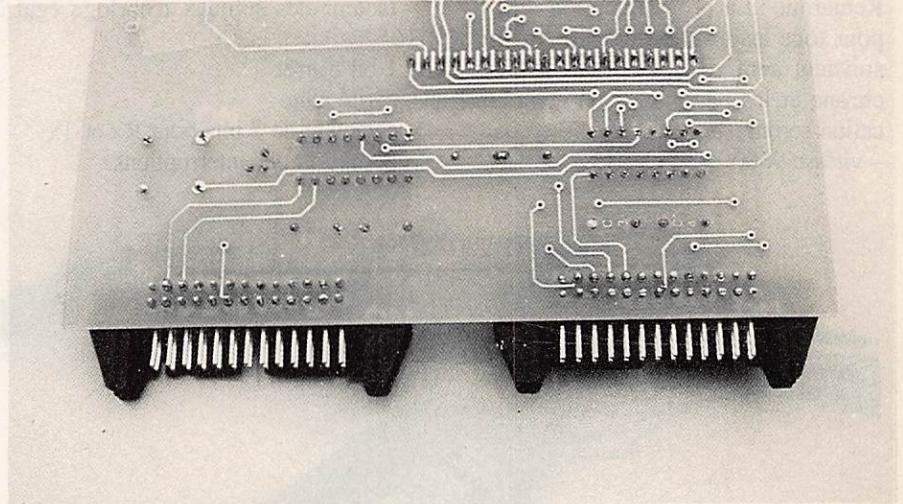
LD A, 5 ; on pointe sur le registre WR5
OUT (C), A
LD A, 0AAH ; nombre de bits émetteur + signaux DTR et RTS = 1
OUT (C), A

LD A, 1 ; on pointe sur le registre WR1
OUT (C), A
LD A, 00 ; désactivation du mode interruption
OUT (C), A
```

LISTING 1

pour obtenir l'information d'état de chaque canal (excepté RR2 du canal B). L'information d'état comporte les conditions d'erreur, le vecteur d'interruption et les signaux standards de communication.

Le principe de lecture des registres est analogue à une opération d'écriture (2 octets). Par exécution d'une instruction d'entrée, le contenu du registre de lecture adressée peut être lu par le microprocesseur. (Voir tableau C).



Les deux connecteurs RS332

## PRINCIPE DE PROGRAMMATION ET DE GESTION DE LA CARTE

La gestion de la carte réside en trois parties :

- l'initialisation
- la réception
- l'émission

### L'INITIALISATION DU CIRCUIT SIO. (Voir listing 1)

Un certain nombre d'opérations de programmation doivent être effectuées systématiquement afin d'initialiser et de paramétrer le SIO Z80 avant tout fonctionnement. La séquence d'initialisation minimale est la suivante :

Le registre WR0 contiendra :

- la commande de remise à zéro.

Le registre WR4 contiendra :

- le facteur de division des signaux d'horloge
- le nombre de bits d'arrêt
- le type de parité.

Le registre WR3 contiendra :

- le nombre de bits en réception
- la validation en réception
- l'autovalidation.

Le registre WR5 contiendra :

- le nombre de bits en émission
- la commande des signaux RTS et DTR
- la validation en émission.

Le registre WR2 contiendra :

- le vecteur d'interruption canal B seulement (uniquement en fonctionnement interruption).

Le registre WR1 contiendra :

- la validation en mode interruption.

Les registres WR6 et WR7 ne sont pas programmés pour un fonctionnement en mode asynchrone.

#### Routine de réception

```

INSIO: LD BC , 0FC7DH ; adresse de contrôle du canal A
        LD A , 5 ; on pointe sur le registre WR5
        OUT (C) , A
        LD A , 0AAH ; DTR et RTS = 1 (déblocage en réception)
        OUT (C) , A

INSIO0: IN A , (C) ; lecture du registre de lecture RR0
        BIT 0 , A ; test du bit 0 de RR0
        JR Z , INSIO0 ; si le bit 0 = 0 on a pas reçu de caractère, on attend
        DI ; on a reçu un caractère, on inhibe les interruptions CPC
        LD A , 5 ; on pointe sur le registre WR5
        OUT (C) , A
        LD A , 28H ; DTR et RTS = 0 , blocage en réception
        OUT (C) , A
        LD BC , 0FC7CH ; adresse de donnée du canal A
        IN A , (C) ; lecture du caractère reçu
        EI ; on autorise les interruptions du CPC
        RES 7 , A ; on met à zéro le bit 7 du caractère reçu (parité)
        RET ; fin et retour de la routine , l'accumulateur A contient le caractère
    
```

#### LISTING 2

#### Routine d'émission

(Prenons comme principe que le registre H contient le caractère à émettre)

```

OUTSIO : LD BC , 0FC7DH ; adresse de contrôle du canal A
WAITWR: IN A , (C) ; lecture du registre RR0
        AND 04 ; on teste si le canal est prêt à émettre
        JR Z , WAITWR ; si bit 2 de RR0 = 0 on attend
        LD A , H ; A = H = caractère
        LD BC , 0FC7CH ; adresse de donnée du canal A
        OUT (C) , A ; écriture du caractère dans le canal
        RET ; fin et retour de la routine
    
```

#### LISTING 3

Remarque : La programmation du SIO pour tous les exemples et programmes suivants sera définie en mode asynchrone et les paramètres de communication seront :

- vitesse 9600 Bds

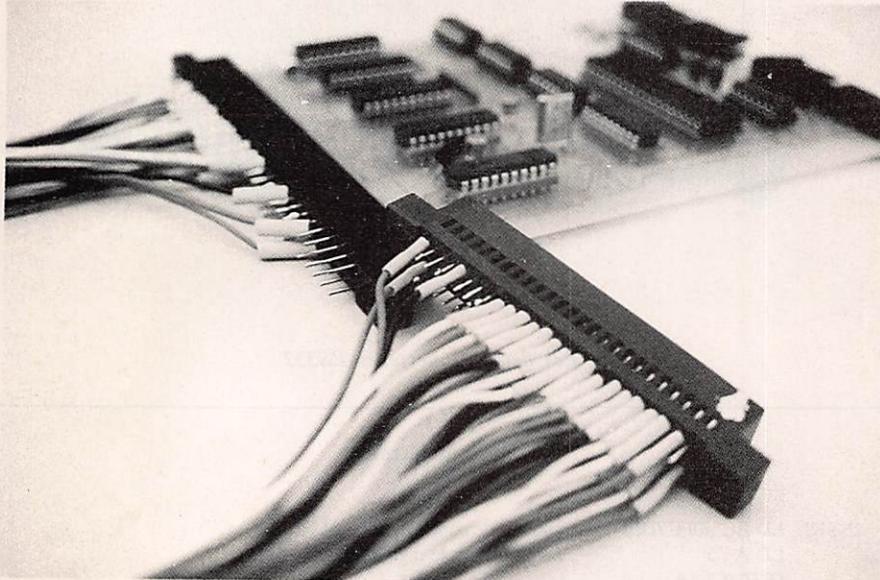
- facteur des signaux d'horloge égal à 16
- 1 bit d'arrêt
- parité paire
- caractère de 7 bits pour Rx et Tx
- inhibition des interruptions.

### LECTURE D'UN CARACTERE RECU PAR LE SIO. (Voir listing 2)

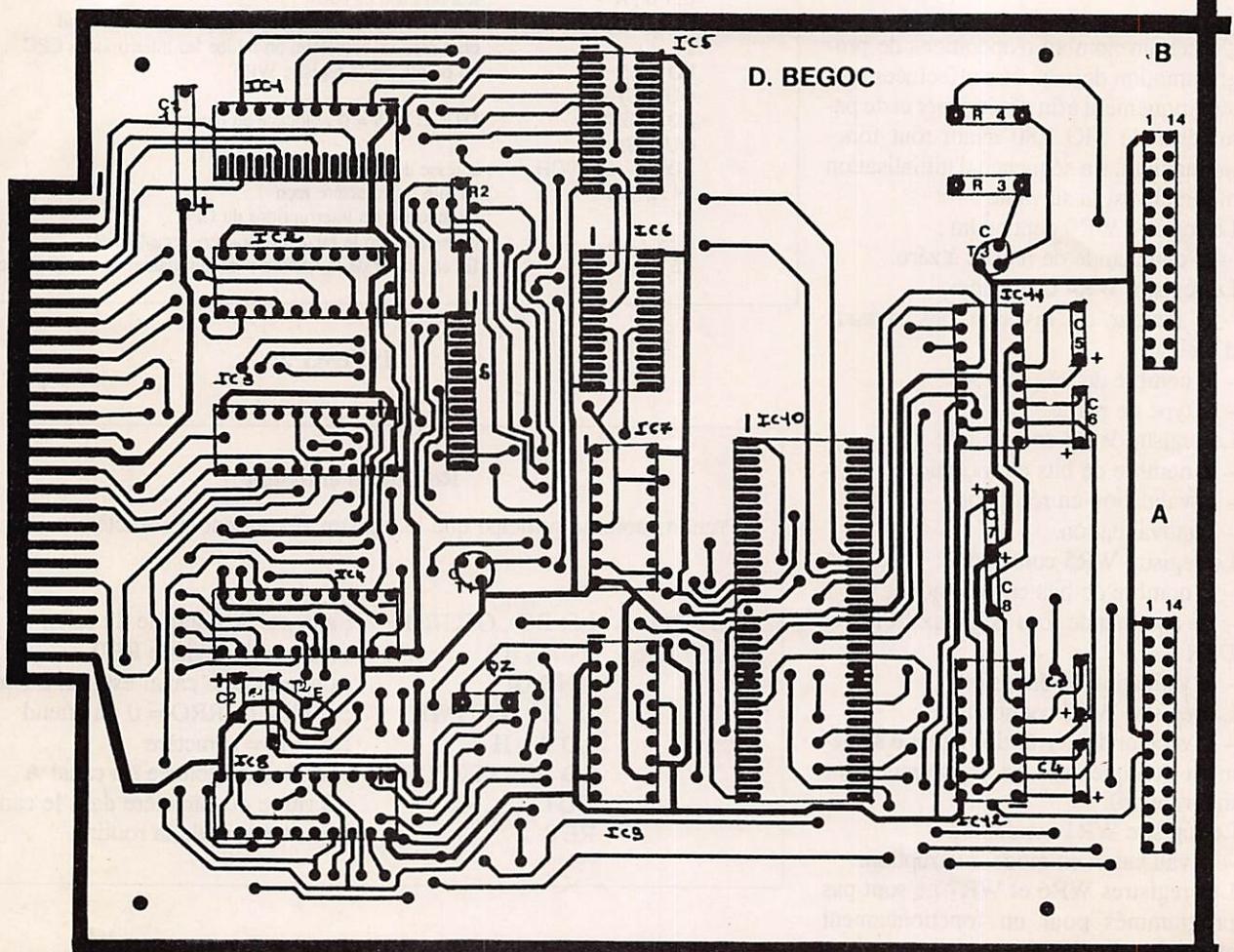
Remarque : le SIO dispose d'une pile interne (réservoir) incorporée de type FIFO (First In-First Out) de trois octets, ce qui permet la réception de trois caractères avant que ne se pose un problème de surcharge. L'affichage ou le traitement d'un caractère réceptionné pouvant demander un certain temps, il faut bloquer les signaux DTR et RTS à la suite de chaque lecture.

### ECRITURE D'UN CARACTERE A EMETTRE PAR LE SIO. (Voir listing 3)

Les trois parties principales de gestion du SIO sont maintenant fixées, reste à les implanter dans un programme en vue d'une application spécifique. Nous vous proposerons dans un prochain numéro un programme d'émulation de terminal.

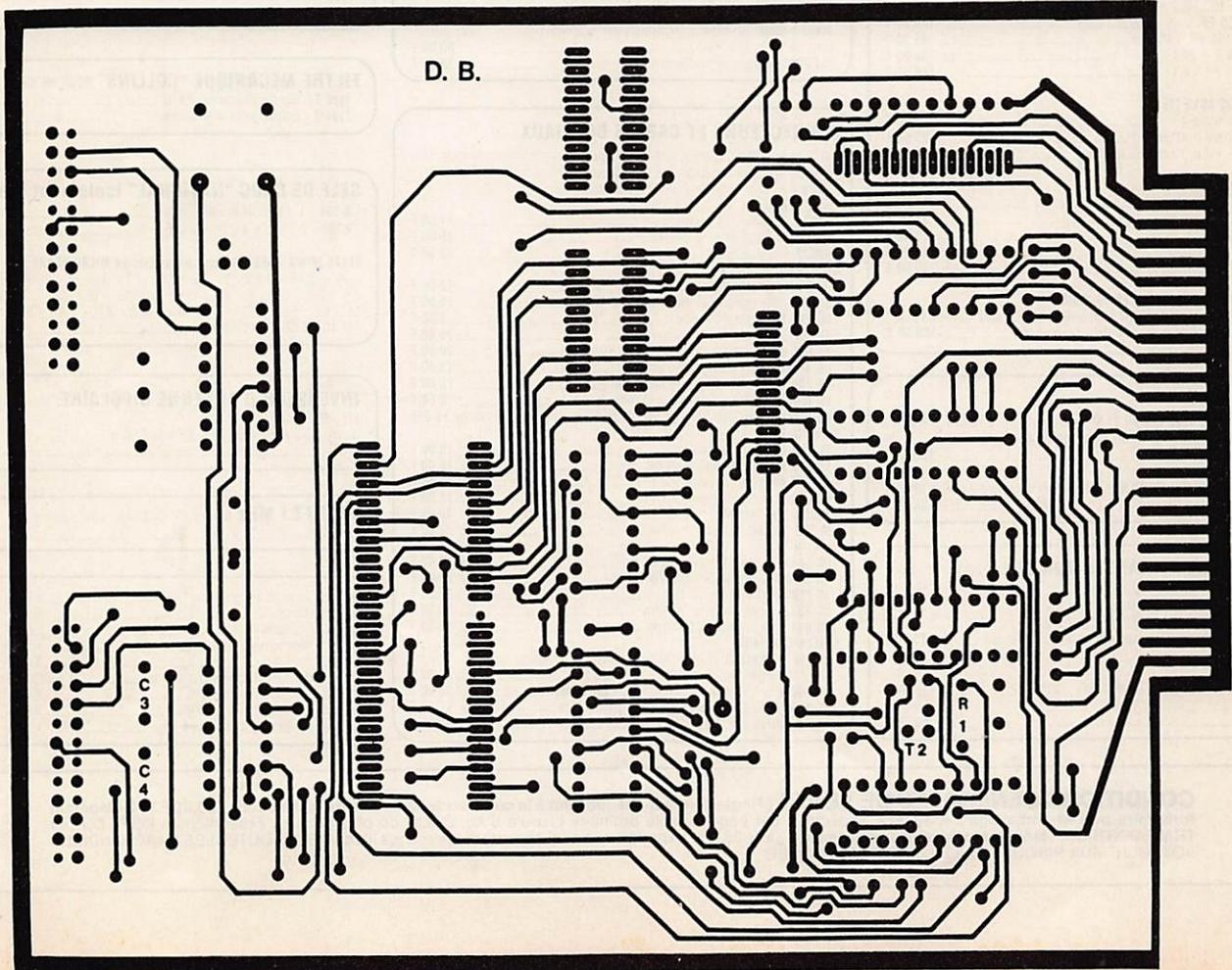
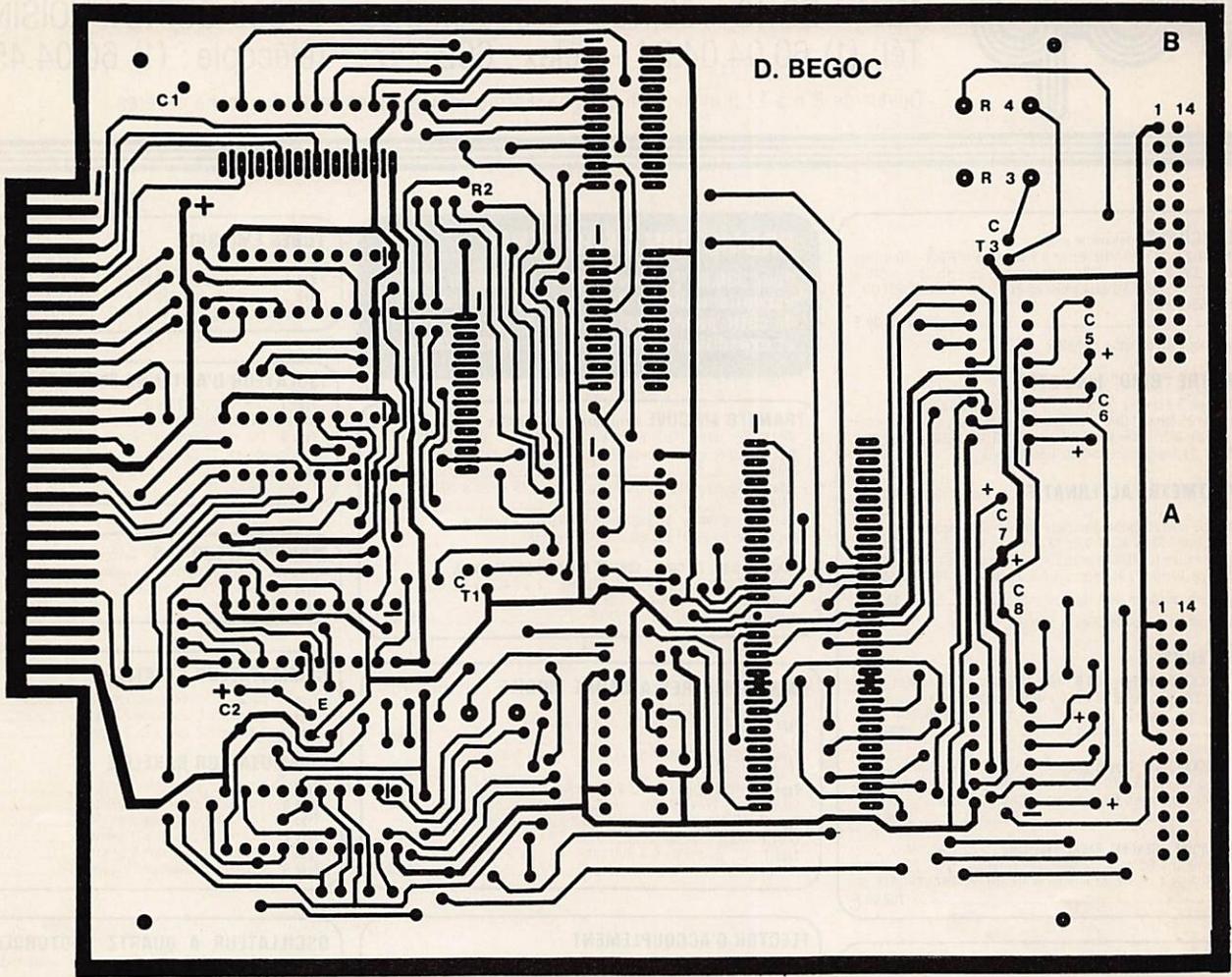


Câble de raccordement de la carte au CPC



Implantation des composants

Côté composants



Côté soudure